

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 19 日
Application Date

申請案號：091136641
Application No.

申請人：瀚工科技股份有限公司、國立台灣大學
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 21 日
Issue Date

發文字號：09220731560
Serial No.

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：_____ ※IPC 分類：_____

※ 申請日期：_____

壹、發明名稱

(中文) 一種多頻段電子電路及其設計方法

(英文) A Multi-band Electronic Circuit

貳、發明人 (共 三 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 呂學士

(英文) Shey-shi Lu

住居所地址：(中文) 台北市連雲街 57-2 號 4 樓之一

(英文) 4F-1 No.57-2 Lien-Yu Street Taipei

國籍：(中文) 中華民國

(英文) Taiwan Republic of China

參、申請人 (共 二 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 瀾工科技公司

(英文) Memetics Technology Co., Ltd.

住居所或營業所地址：(中文) 台北市松山區八德路四段六九七號八樓之

一
(英文) 8F-1, No.697, Sect.4, Bade Road, Taipei, Taiwan 105,
ROC

國籍：(中文) 中華民國

(英文) Taiwan Republic of China

代表人：(中文) 李汪聲

(英文) Wang-sheng LEE

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2 ID : A124236138

姓名：(中文) 邱弘緯

(英文) Hung-Wei Chiu

住居所地址：(中文) 台北市延平北路四段二九四巷 48 號

(英文) No.48 Lane 294 sect.4 Yan-Ping North Road Taipei

國籍：(中文) 中華民國 (英文) Taiwan Republic of China

發明人 3 ID : G121392966

姓名：(中文) 楊育哲

(英文) Yu-Che Yang

住居所地址：(中文) 宜蘭縣三星鄉行健村光復路 31 之 5 號

(英文) No. 31-5 Guang-Fu Road Shin-Jian Villiage San-Shin Shang Yi-Lan

國籍：(中文) 中華民國 (英文) Taiwan Republic of China

發明人 4

姓名：(中文) _____

(英文) _____

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

發明人 5

姓名：(中文) _____

(英文) _____

住居所地址：(中文) _____

(英文) _____

國籍：(中文) _____ (英文) _____

申請人 2

姓名或名稱：(中文) 國立台灣大學

(英文) National Taiwan University

住居所或營業所地址：(中文) 台北市羅斯福路四段一號

(英文) No.1 Sect.4 Roosevelt Road Taipei ROC

國籍：(中文) 中華民國 (英文) Taiwan Republic of China

代表人：(中文) 陳維昭

(英文) Wei-Jao CHEN

申請人 3

姓名或名稱：(中文)

(英文)

住居所或營業所地址：(中文)

(英文)

國籍：(中文) (英文)

代表人：(中文)

(英文)

申請人 4

姓名或名稱：(中文)

(英文)

住居所或營業所地址：(中文)

(英文)

國籍：(中文) (英文)

代表人：(中文)

(英文)

肆、中文發明摘要

本發明是有關於一種多頻段電子電路 (Multi-band Electronic Circuits) 及其設計方法。主要乃利用電晶體輸出端與輸入端間回授電容之改變，使共振頻率隨之改變，而達成頻段切換之功能。由於本發明利用之電容改變來切換頻段，相對於習知之技術，不需多個不同頻段之放大器，或使用晶片外之電感及電容，且不用額外打線，有助於良率及產量之提昇。

伍、英文發明摘要

This invention is related to a multi-band electronic circuit and its design methodology. The application frequency band is switched from one band to another by changing the capacitance between the input and output terminals of a transistor. Compared with the prior art, our invention does not need off-chip inductor/capacitor or additional wire bonding, which is helpful to the enhancement of the yield and throughput and the reduction of cost.

陸、(一)、本案指定代表圖爲：第四圖

(二)、本代表圖之元件代表符號簡單說明：

400 輸入端	401 電流源	402 電容
403 電子式切換開關	404 電感	405 集極電流
406 電壓源	407 電阻	408 電晶體
409 電容	410 電阻	411 電源
412 電阻	413 電晶體	414 輸出端
415 電容		

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

本發明係有關於一種新的多頻段電子電路 (a multi-band electronic circuit) 及其設計方法。特別是一種利用電晶體輸出端與輸入端間回授電容之改變而達成頻段切換之放大器及其設計方法。

【先前技術】

無線通訊產業已演進至多種標準/多種服務之境地，例如無線區域網路 (Wireless Local Area Network, WLAN) 使用 2.4 GHz, 5.2 GHz, 5.7 GHz 頻段、GSM 行動電話使用 0.9 GHz, 1.8 GHz, 1.9 GHz 頻段、而全球定位系統 (Global Position System, GPS) 使用 1.5 GHz 頻段。因此最好能將多種標準整合在同一收發機晶片中，亦即要能設計製作出多頻段收發機。設計多頻段收發機最主要的挑戰，在於增進通訊收發機的功能之同時，能使用最少額外之電路。

習知設計多頻段收發機中的低雜訊放大器之策略是，針對某一頻段就設計符合該頻段的低雜訊放大器。換言之，要設計能使用 0.9 GHz, 1.8 GHz, 1.9 GHz 頻段之三頻收發機，就須設計三組低雜訊放大器以因應三種不同頻率。因此在設計低雜訊放大器時，與其相關的增益、雜訊指數 (Noise Figure)、輸入阻抗及輸出阻抗，都是對某一特定頻段來做設計。如此一來，多頻段收發機之整個電路的面積及功率消耗，都要比單頻段收發機大許多。以第一圖所示習知整合多頻段應用之超外差式 (superheterodyne) 接收機為例：從天線 100、頻段選擇濾波器 101、低雜訊放大器 103、鏡像消除濾波器 104 到頻道選擇濾波器 107，為應用頻段一之獨立接收路徑。從天線 109、頻段選擇濾波器 110、低雜訊放大器 112、鏡像消除濾波器 113 到頻道選擇濾波器 116，為應用頻段二之獨立接收路徑。從天線 118、頻段選擇濾波器 119、低雜訊放大器 121、鏡像消除濾波器 122 到頻道選擇濾波器 125，為應用頻段三之獨立接收路徑。

以應用頻段一之獨立接收路徑來做說明，訊號由天線 100 接收進來之後，先經過頻段選擇濾波器 101 來濾除應用頻段一以外之頻段，然後再經由下一級之低雜訊放大器 103 來放大訊號且減低雜訊的增加。再接下來由鏡像消除濾波器 104 來消除鏡像頻率處的雜訊，經降頻後，由頻道選擇濾波器 107 挑選應用頻段一中的某一頻道。接下來是應用頻段一、應用頻段二及應用頻段三共用之電路部份，訊號在確認為某一應用頻段之後，再降頻並利用類比-數位轉換器 128 來將訊號數位化，最後由數位訊號處理 129 來處理已數位化之訊號。

由以上之敘述可知，在整合多頻段應用之接收機時，傳統的做法是將各頻段應用電路分別設計，再全部放在一起。而接收機中的關鍵電路低雜訊放大器，也須要針對不同頻段而設計。這樣一來整個電路的面積及功率消耗勢必大大增加。在以往所發表的論文中，對於整合多頻段應用的電路，都是採用這樣子的做法 (亦即，使用不同低雜訊放大器來處理不同頻段)，可參照：

一、T. Antes 氏和 C. Conkling 氏在 1996 年十二月於 Microwave RF 上發表之論文：“RF chip set fits multimode cellular/PCS handsets,”。

二、S. Wu 氏和 B. Razavi 氏在 1998 年十二月於 IEEE JSSC 上發表之論文：“A 900-MHz/1.8-GHz CMOS receiver for dual-band applications,”。

☐ 續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

三、R. Magoon 氏, I. Koullias 氏, L. Steigerwald 氏, W. Domino 氏, N. Vakillian 氏, E. Ngompe 氏, M. Damgaard 氏, K. Lewis, 和 A. Molna 氏在 2001 年二月於 ISSCC Digest of Technical papers 上發表之論文: “A triple-band 900/1800/1900 MHz low-power image-reject front-end for GSM,”。

四、K. L. Fong 氏在 1999 年二月於 ISSCC Digest of Technical papers 上發表之論文: “Dual-band high-linearity variable-gain low-noise amplifiers for wireless applications,”。

最近 H. Hashemi 氏和 A. Hajimiri 氏在 2002 年一月於 IEEE Transactions on Microwave Theory and Techniques 上發表之論文: “Concurrent Multiband Low-Noise Amplifiers-Theory, Design, and Applications,” 乃使用同一低雜訊放大器來處理多頻段之訊號。此種多頻段的低雜訊放大器由於可以使用同一低雜訊放大器滿足不同頻段的要求, 所以在多頻段應用的整合上, 可以簡化收發機的設計 (不須要設計多個不同的低雜訊放大器)。這樣一來也可以縮小整個系統電路的面積並減少消耗功率, 而面積的縮小及消耗功率的減少, 對於電路的商品化是非常有利的。

H. Hashemi 氏和 A. Hajimiri 氏所提出之低雜訊放大器的設計方法不同於傳統低雜訊放大器之設計方法。關於習知低雜訊放大器的設計方法, 請參照第二圖。其乃利用源極電感 207 產生輸入阻抗匹配所需之電阻 (通常為 50 歐姆), 再利用電感 201, 使其與看入開極端之總輸入電容達成共振於所欲頻段。輸出端處則使用電感 204 和電容 208 所構成的共振腔, 選擇出所欲之頻段。

而關於上述 H. Hashemi 氏和 A. Hajimiri 氏所提出的多頻段低雜訊放大器的設計方法, 請參照第三圖。在輸入端處, 除了使用習知可產生輸入阻抗匹配所需之電阻 (通常為 50 歐姆) 的電感 310 及可達成共振於所欲頻段之電感 304 外, 其又增設了並聯組合之電感 307 及電容 306。目的在於增加另一共振頻率, 達成多頻段輸入匹配之功能。在輸出端處, 除了使用習知由電感 312 及電容 313 所組成之並聯共振腔外, 亦增設了串聯組合之電感 301 及電容 302。目的也在於增加另一共振頻率, 達成選擇所欲多頻段之功能。簡言之 H. Hashemi 氏和 A. Hajimiri 氏乃以增加電感及電容之數量來達成多頻段應用之功能。這樣子的設計方法有不少缺點。

首先, 此設計一共用了五個電感 (即電感 301、電感 304、電感 307、電感 310 和電感 312, 其中電感 301 和電感 304 為晶片外的電感) 和三個電容 (包括電容 302、電容 306 和電容 313, 其中電容 302 為晶片外的電容), 比起傳統低雜訊放大器的設計 (請參考第二圖, 具三個晶片上的電感: 201、204、207 和一個晶片上的電容: 208) 要多了兩個電感和兩個電容。由於電感、電容數目的增加, 甚至使用到晶片外的電感、電容 (比在晶片上的電感、電容面積要大很多)。整個電路的面積變得很大, 而且沒有辦法將整個設計整合於同一晶片上。晶片外之電感及電容須額外之打線及配線, 增加成本且降低可靠度, 這對於積體電路的量產和商品化是相當不利的。在設計低雜訊放大器的時候, 通常會儘量減少電感的使用, 一來是因為電感所佔面積很大, 二來是在晶片上的電感其品質因子 (Quality Factor) 不高, 會造成雜訊指數的劣化。所以在設計低雜訊放大器時, 一般是要儘量避免使用電感。而 H. Hashemi 氏和 A. Hajimiri 氏所提出的方法卻是增加電感的使用。

因此非常需要有一種不增加電感使用數量且不需額外打線, 但仍能處理多頻段的放大器。

【內容】

本發明之目的在提供一種多頻段放大器及其設計方法，僅使用單一放大器即可達成多種頻段之輸入阻抗匹配，而且不增加電感使用數量，也不需額外打線。

為了不增加電感使用數量，也不要額外打線、配線，本發明提出於放大器中雙極電晶體或異質接面雙極電晶體（Bipolar Junction Transistor or Heterojunction Bipolar Transistor）的基極與集極間再電性連接電容可變之元件；或者放大器中場效電晶體的閘極與汲極間再電性連接電容可變之元件，以改變電晶體輸入端（雙極電晶體或異質接面雙極電晶體為基極，場效電晶體為閘極）所看到的電容，而達到共振頻率之改變。以雙極電晶體為例，看入基極端之總輸入電容，含有基極-射極電容與米勒電容（Miller capacitance，其乃由基極-集極電容所造成）。於此基極端電性連接一電感器，則看入基極端之總輸入電容與此電感可共振於所欲之頻率。當改變基極與集極間額外電性連接之電容可變元件的電容值時，就可以改變看入基極端之總輸入電容。這樣子一來，由看入基極端之總輸入電容與連接基極端之電感所組成之輸入端共振腔，其共振頻率亦會隨之改變至另一所欲頻段。由於本發明乃於基極與集極間（或閘極與汲極間）電性連接電容性元件，藉由米勒效應，電晶體基極（或閘極）端會看到此電容被放大，因此基極與集極間（或閘極與汲極間）所電性連接的電容性元件之電容值雖小，仍可達成大幅度共振頻率之改變。所以相對於習知技藝，本創作不需增加電感，雖需增加電容，但電容值很小即可，故而所增面積亦小。又本創作不要額外打線，整個電路乃製作於單一晶片上。

為讓本發明之上述和其他目的，特徵，和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖，作詳細說明如下：

【實施方式】

茲配合圖式將本創作較佳實施例詳細說明如下。

參閱第四圖，其乃本創作具 2.4/ 5.2/ 5.7 GHz 多頻段處理功能之實施例的電路圖。在此電路中我們雖使用雙極電晶體，但使用場效電晶體也可以。第一電阻 407 與第二電阻 412 均為 300 歐姆；第三電阻 410 為 600 歐姆；直流阻隔/交流耦合電容 409 為 3pF；該第一電晶體 408 與第二電晶體 413 射極面積均為 12.18 平方微米。製程採 TSMC 0.35um SiGe BiCMOS 製程。在此多頻段低雜訊放大器中，我們將一串聯組合之一切換開關 403 及一電容器 415 電性連接於放大器中第一級電晶體 408 基極端與集極端之間。藉由此切換開關之導通與否，來改變看入第一級電晶體基極端之總輸入電容 C_{IN} 。 C_{IN} 和接在基極上的電感 404，構成了達成輸入阻抗匹配的共振腔。當切換開關 403 不導通，即切換開關 403 為斷路時，此時在本實施例中接在基極上的電感 404 與看入第一級電晶體基極端之總輸入電容 C_{IN} 組成之共振腔可達成在 5.2/ 5.7 GHz（WLAN 無線區域網路 IEEE 802.11a）的輸入阻抗匹配。當切換開關 403 導通，即切換開關 403 接近短路時，第一級電晶體基極端與集極端之間因多並聯了一個電容器 415，故看入第一級電晶體基極端之總輸入電容 C_{IN} 增大，從而接在基極上的電感 404 與看入第一級電晶體基極端之總輸入電容 C_{IN} 組成之共振腔可達成在 2.4 GHz（WLAN 無線區域網路 IEEE 802.11b）的輸入阻抗匹配。在輸出端 414 部份，我們使用了回授電阻 410 達成輸出阻抗匹配。在不需輸出阻抗匹配的情況下（例如 zero-IF 或 low-IF 接收機情況下），可不用回授電阻 410 達成輸出阻抗匹配。電阻 407 及電阻 412 為分別為第一級電晶體及第二級電晶體之負載。本實施例雖用電阻為負載，視需要使用電感或電容負載亦是可以的。重點是輸入端能達成多頻段阻

抗匹配。由於我們只使用了一個電感 404，而且是製作在晶片上的電感，因此不但整個電路可以完全在單一晶片上實現，而且電路的面積非常小。這對於商品化非常有利。

有關此多頻段低雜訊放大器在增益及輸入阻抗匹配程度上的表現，請參照第五及第七圖。在操作條件一下（即切換開關斷路的情況下），此多頻段低雜訊放大器在 5.2/5.7 GHz 的增益（散射參數 S_{21} ）達到了 22 dB 和 20 dB（參照第五圖），而在操作條件二下（即切換開關導通的情況下），此多頻段低雜訊放大器在 2.4 GHz 的增益（散射參數 S_{21} ）達到了 23 dB（參照第七圖）。在操作條件一下（即切換開關斷路的情況下），此多頻段低雜訊放大器對於輸入阻抗的匹配程度（通常以散射參數中輸入折返損耗 input return loss S_{11} 來表示），5.15 GHz 和 5.35 GHz 之間皆低於 -20 dB 以下（愈低愈好），在 5.725 GHz 和 5.825 GHz 之間皆低於 -16 dB 以下（愈低愈好）。在操作條件二下（即切換開關導通的情況下），此多頻段低雜訊放大器對於輸入阻抗的匹配程度（ S_{11} ），在 2.4 GHz 和 2.5 GHz 之間皆低於 -22 dB 以下（愈低愈好）。

有關此多頻段低雜訊放大器在雜訊指數上的表現，請參照第六圖及第八圖。在操作條件一下（即切換開關斷路的情況下），此多頻段低雜訊放大器在 5.2/ 5.7 GHz 雜訊指數分別為 2.75 dB 和 3.0 dB（愈低愈好），而在操作條件二下（即切換開關導通的情況下），在 2.4 GHz 的雜訊指數為 2.6 dB（愈低愈好）。一般對於 802.11a 及 802.11b 無線區域網路（WLAN）之應用而言，低雜訊放大器之雜訊指數只要低於 5 dB 即可，輸入（輸出）折返損耗小於 -10 dB 即可，增益大於 10 dB 即可。因此我們可以說，根據本創作之實施例：2.4/ 5.2/ 5.7 GHz 多頻段低雜訊放大器，其有關於增益、雜訊指數、輸入阻抗匹配程度上的表現，在 2.4 GHz、5.2 GHz 和 5.7 GHz 三個頻段下都有相當好的實施結果。又，如要使輸入折返損耗 input return loss S_{11} 更低，可使第一級雙極電晶體之射極不直接接地，而是射極接上一個電感之一端，電感另一端再接地。

相較於習知的多頻段低雜訊放大器，本創作僅使用單一放大器即可達成多種頻段之輸入阻抗匹配，既不增加電感數量，也不會大幅增大所佔面積，更不需額外打線。本實施例雖然是於電晶體輸出及輸入端間電性連接一串聯組合之切換開關與電容，但是使用一可變電容器也是可以的。事實上本發明之主要技術內容，將於 2003 年二月之 International Solid State Circuit Conference 中發表。此會議乃電路會議中最頂級的會議。

綜上所述，當知本案所創作之多頻段電子電路已具有產業利用性、新穎性與進步性，符合發明專利要件。惟以上所述者，僅為本創作之一較佳實施例而已，並非用來限定本創作實施之範圍。即凡依本創作申請專利範圍所做的均等變化與修飾，皆為本創作專利範圍所涵蓋。

【圖式簡單說明】

各圖意義如下：

第一圖為習知為了多頻段應用所採之多頻段收發機整合方法

第二圖為習知低雜訊放大器之電路圖

第三圖為 H. Hashemi 氏和 A. Hajimiri 氏所發表之多頻段低雜訊放大器的電路圖

第四圖為本創作實施例(2.4/ 5.2/ 5.7 GHz 多頻段低雜訊放大器)的電路圖

第五圖為本創作實施例(2.4/ 5.2/ 5.7 GHz 多頻段低雜訊放大器)在操作條件一下功率增益及輸入折返損耗對頻率之特性

第六圖為本創作實施例(2.4/ 5.2/ 5.7 GHz 多頻段低雜訊放大器)在操作條件一下雜訊指數對頻率之特性

第七圖為本創作實施例(2.4/ 5.2/ 5.7 GHz 多頻段低雜訊放大器)在操作條件二下功率增益及輸入折返損耗對頻率之特性

第八圖為本創作實施例(2.4/ 5.2/ 5.7 GHz 多頻段低雜訊放大器)在操作條件二下雜訊指數對頻率之特性

圖式中之參照號數

100 天線	101 頻段選擇濾波器	102 帶通濾波器
103 低雜訊放大器	104 鏡像消除濾波器	105 帶通濾波器
106 本地振盪訊號	107 頻道選擇濾波器	108 帶通濾波器
109 天線	110 頻段選擇濾波器	111 帶通濾波器
112 低雜訊放大器	113 鏡像消除濾波器	114 帶通濾波器
115 本地振盪訊號	116 頻道選擇濾波器	117 帶通濾波器
118 天線	119 頻段選擇濾波器	120 帶通濾波器
121 低雜訊放大器	122 鏡像消除濾波器	123 帶通濾波器
124 本地振盪訊號	125 頻道選擇濾波器	126 帶通濾波器
127 中頻訊號	128 類比-數位轉換器	129 數位訊號處理
200 輸入端	201 電感	202 偏壓
203 電壓源	204 電感	205 電晶體
206 電晶體	207 電感	208 電容
209 輸出端	300 輸入端	301 電感
302 電容	303 偏壓	304 打線電感
305 襯墊	306 電容	307 電感
308 場效電晶體	309 場效電晶體	310 電感
312 電感	313 電容	314 輸出端

400 輸入端

403 電子式切換開關

406 電壓源

409 電容

412 電阻

415 電容

401 電流源

404 電感

407 電阻

410 電阻

413 電晶體

402 電容

405 集極電流

408 電晶體

411 電源

414 輸出端

申請專利範圍

1. 一種多頻段電子電路的設計方法，其乃藉由電子電路中至少一電晶體的輸出端與輸入端間電容之改變，使該電晶體之輸入阻抗與電性連接於該電晶體輸入端之至少一電感，從某一共振頻段切換至另一共振頻段，而達成多頻段之切換。
2. 如申請專利範圍第 1 項之多頻段電子電路的設計方法，其中該電晶體為雙極電晶體。
3. 如申請專利範圍第 1 項之多頻段電子電路的設計方法，其中該電晶體為場效電晶體。
4. 如申請專利範圍第 2 項之多頻段電子電路的設計方法，其中該電晶體之輸入端為基極端而輸出端為集極端。
5. 如申請專利範圍第 3 項之多頻段電子電路的設計方法，其中該電晶體之輸入端為閘極端而輸出端為汲極端。
6. 如申請專利範圍第 1 項之多頻段電子電路的設計方法，其中電晶體的輸出端與輸入端間電容之改變，乃藉由與電晶體的輸出端與輸入端間並聯之一串聯組合的一切換開關與一電容器而達成。
7. 如申請專利範圍第 4 項之多頻段電子電路的設計方法，其中電晶體的集極端與基極端間電容之改變，乃藉由與電晶體的集極端與基極端間並聯之一串聯組合的一切換開關與一電容器而達成。
8. 如申請專利範圍第 5 項之多頻段電子電路的設計方法，其中電晶體的閘極端與汲極端間電容之改變，乃藉由與電晶體的閘極端與汲極端間並聯之一串聯組合的一切換開關與一電容器而達成。
9. 如申請專利範圍第 1 項之多頻段電子電路的設計方法，其中電晶體的輸出端與輸入端間電容之改變，乃藉由與電晶體的輸出端與輸入端間並聯之一可變電容器而達成。
10. 如申請專利範圍第 4 項之多頻段電子電路的設計方法，其中電晶體的集極端與基極端間電容之改變，乃藉由與電晶體的輸出端與輸入端間並聯之一可變電容器而達成。
11. 如申請專利範圍第 5 項之多頻段電子電路的設計方法，其中電晶體的閘極端與

汲極端間電容之改變，乃藉由與電晶體的輸出端與輸入端間並聯之一可變電容器而達成。

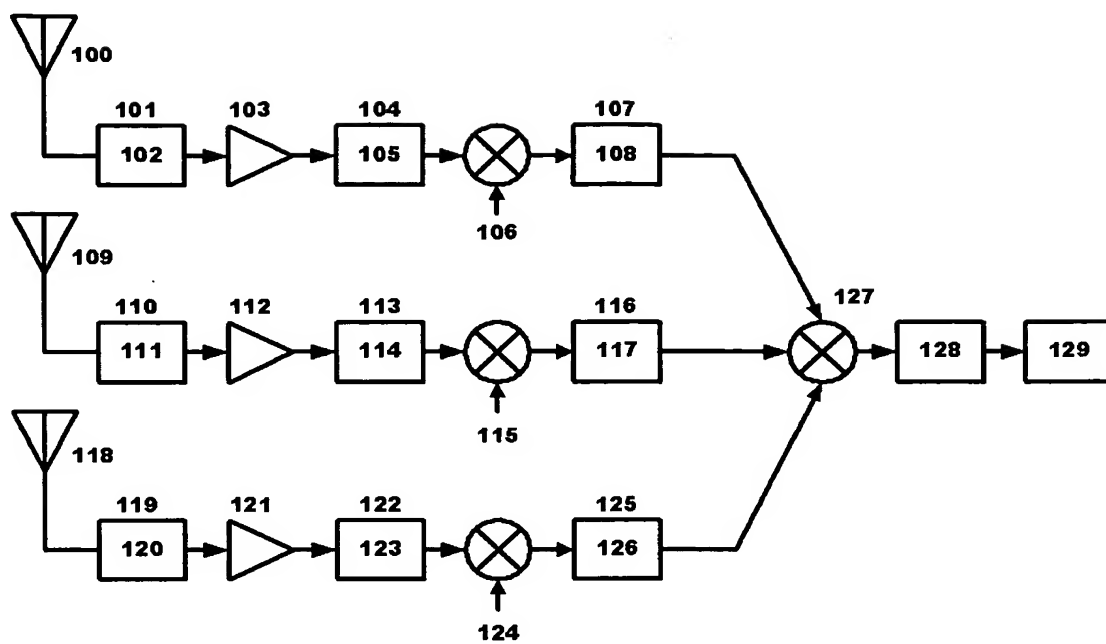
12. 一種多頻段電子電路，包含一電晶體；與該電晶體輸入端電性連接之一電感；以及電性連接於電晶體輸入端與輸出端之間的一電容可變元件；藉由該電容可變元件的電容之改變，使電路由某一共振頻段切換至另一共振頻段，而達成多頻段之切換。
13. 如申請專利範圍第 12 項之多頻段電子電路，其中該電晶體為雙極電晶體。
14. 如申請專利範圍第 12 項之多頻段電子電路，其中該電晶體為場效電晶體。
15. 如申請專利範圍第 12 項之多頻段電子電路，其中該電容可變元件為一串聯組合之一切換開關與一電容器。
16. 如申請專利範圍第 12 項之多頻段電子電路，其中該電容可變元件為一可變電容器。
17. 如申請專利範圍第 13 項之多頻段電子電路，其中該電晶體之輸入端為基極端而輸出端為集極端。
18. 如申請專利範圍第 17 項之多頻段電子電路，其中該電晶體之射極端接地。
19. 如申請專利範圍第 17 項之多頻段電子電路，其中該電晶體之射極端連接一電感之一端，而該電感之另一端接地。
20. 如申請專利範圍第 14 項之多頻段電子電路，其中該電晶體之輸入端為閘極端而輸出端為汲極端。
21. 如申請專利範圍第 20 項之多頻段電子電路，其中該電晶體之源極端接地。
22. 如申請專利範圍第 20 項之多頻段電子電路，其中該電晶體之源極端連接一電感之一端，而該電感之另一端接地。
23. 如申請專利範圍第 13 項或第 17 項或第 18 項或第 19 項之多頻段電子電路，其中該電容可變元件為一串聯組合之一切換開關與一電容器。
24. 如申請專利範圍第 13 項或第 17 項或第 18 項或第 19 項之多頻段電子電路，其中該電容可變元件為一可變電容器。
25. 如申請專利範圍第 14 項或第 20 項或第 21 項或第 22 項之多頻段電子電路，其中該電容可變元件為一串聯組合之一切換開關與一電容器。
26. 如申請專利範圍第 14 項或第 20 項或第 21 項或第 22 項之多頻段電子電路，其

中該電容可變元件為一可變電容器。

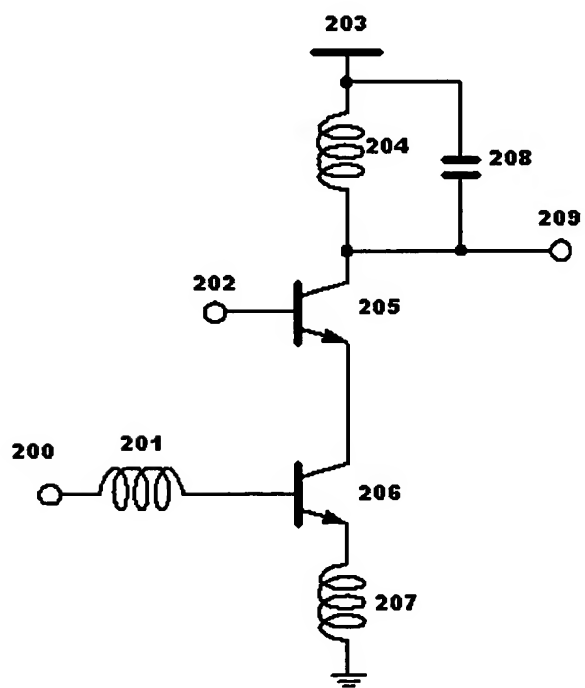
27. 一種多頻段電子電路，包含射極接地之第一雙極電晶體；與該第一雙極電晶體基極端相連接之一電感；與該第一雙極電晶體之集極端相連接之第一電阻；與該第一電阻之另一端相連接之電源；與該第一雙極電晶體集極端相連接之一電容；射極接地且基極與該電容的另一端相連接之第二雙極電晶體；與該第二雙極電晶體之集極端相連接的第二電阻；與該第二電阻之另一端相連接之電源；連接於該第二雙極電晶體之基極與集極端間之第三電阻；以及連接於該第一雙極電晶體之基極與集極端間之電容可變元件；藉由該電容可變元件的電容之改變，使從該第一雙極電晶體基極端看入之輸入阻抗與該電感，從某一共振頻段切換至另一共振頻段，而達成多頻段之切換。
28. 如申請專利範圍第 27 項之多頻段電子電路，其中該電容可變元件為一串聯組合之一切換開關與一電容器。
29. 如申請專利範圍第 27 項之多頻段電子電路，其中該電容可變元件為一可變電容器。
30. 如申請專利範圍第 27 項或第 28 項或第 29 項之多頻段電子電路，其中第一級雙極電晶體之射極端係先連接一電感之一端，而該電感之另一端接地。
31. 一種多頻段電子電路，包含源極接地之第一場效電晶體；與該第一場效電晶體閘極端相連接之一電感；與該第一場效電晶體之汲極端相連接之第一電阻；與該第一電阻之另一端相連接之電源；與該第一場效電晶體汲極端相連接之一電容；源極接地且閘極與該電容的另一端相連接之第二場效電晶體；與該第二場效電晶體之汲極端相連接的第二電阻；與該第二電阻之另一端相連接之電源；連接於該第二場效電晶體之閘極與汲極端間之第三電阻；以及連接於該第一場效電晶體之閘極與汲極端間之電容可變元件；藉由該電容可變元件的電容之改變，使從該第一場效電晶體閘極端看入之輸入阻抗與該電感，從某一共振頻段切換至另一共振頻段，而達成多頻段之切換。
32. 如如申請專利範圍第 26 項之多頻段電子電路，其中該電容可變元件為一串聯組合之一切換開關與一電容器。
33. 如申請專利範圍第 26 項之多頻段電子電路，其中該電容可變元件為一可變電容器。

34. 如申請專利範圍第 31 項或第 32 項或第 33 項之多頻段電子電路，其中第一場效電晶體之源極端係先連接一電感之一端，而該電感之另一端接地。

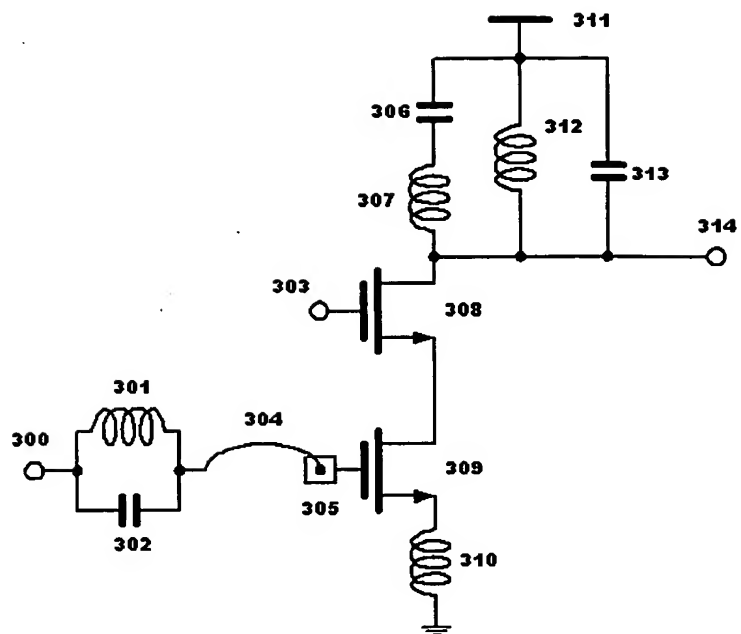
拾壹、圖式



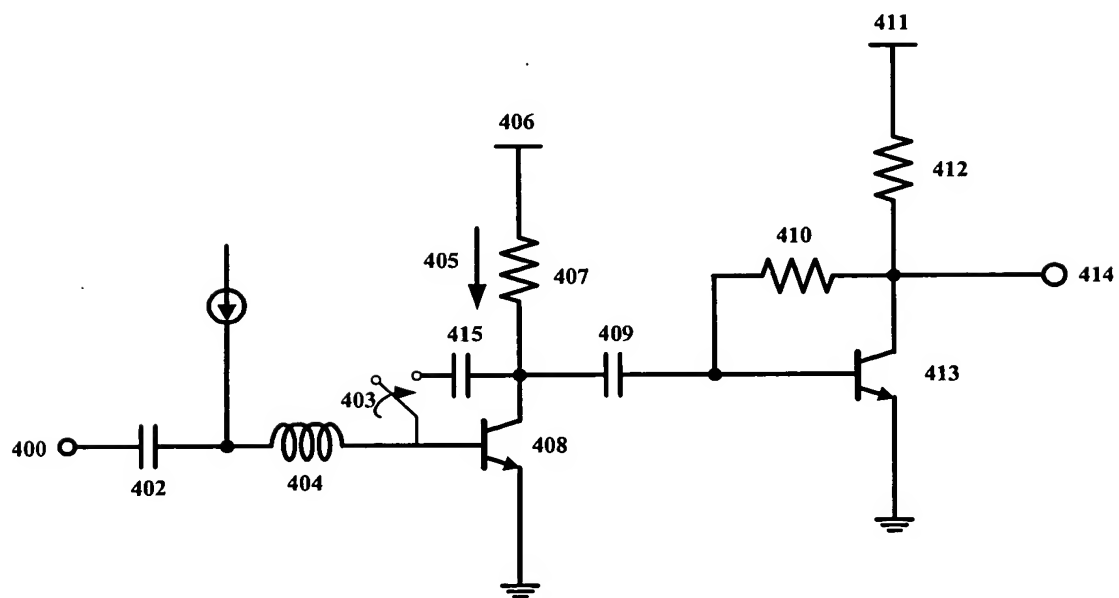
第一圖



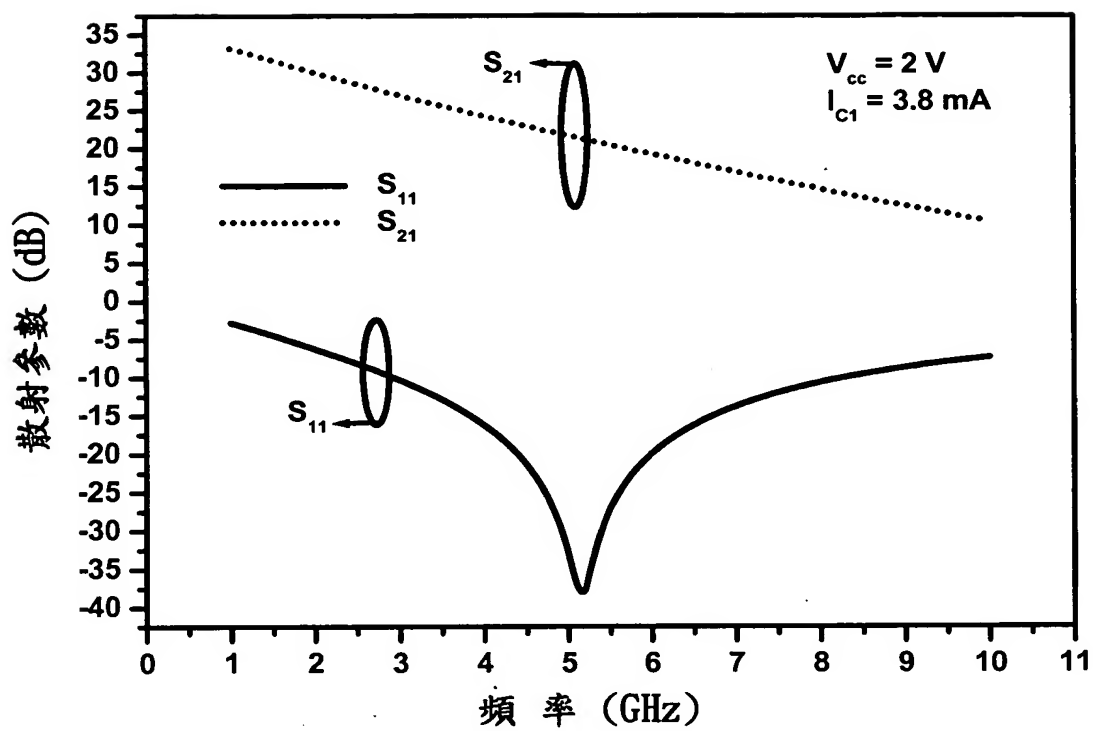
第二圖



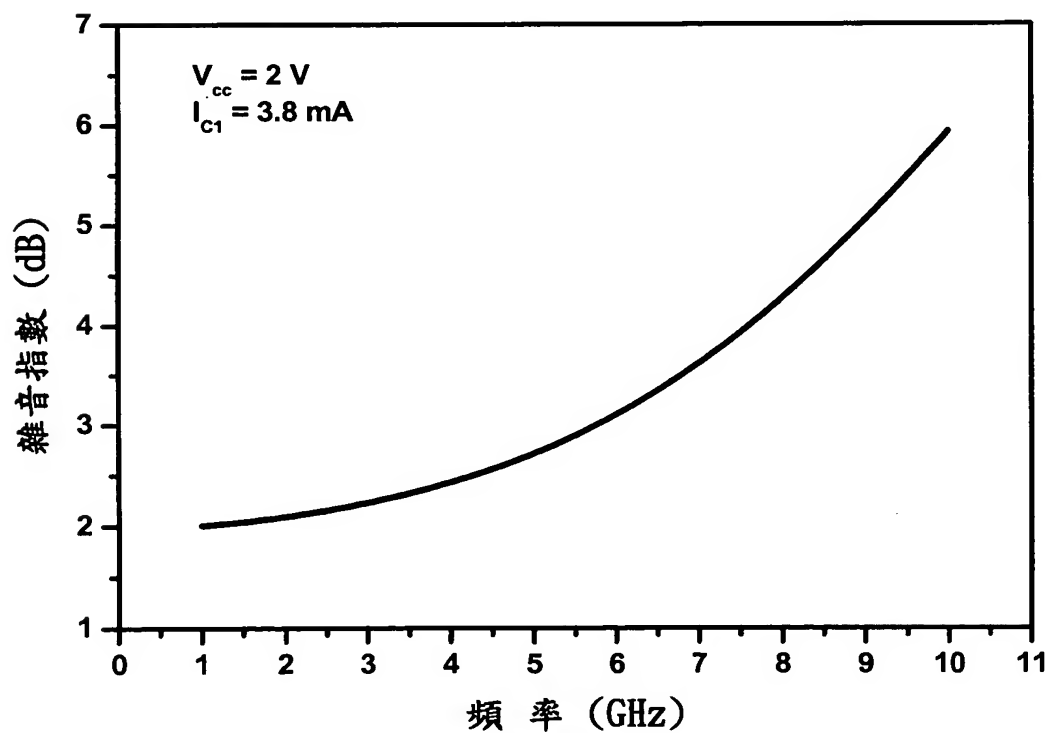
第三圖



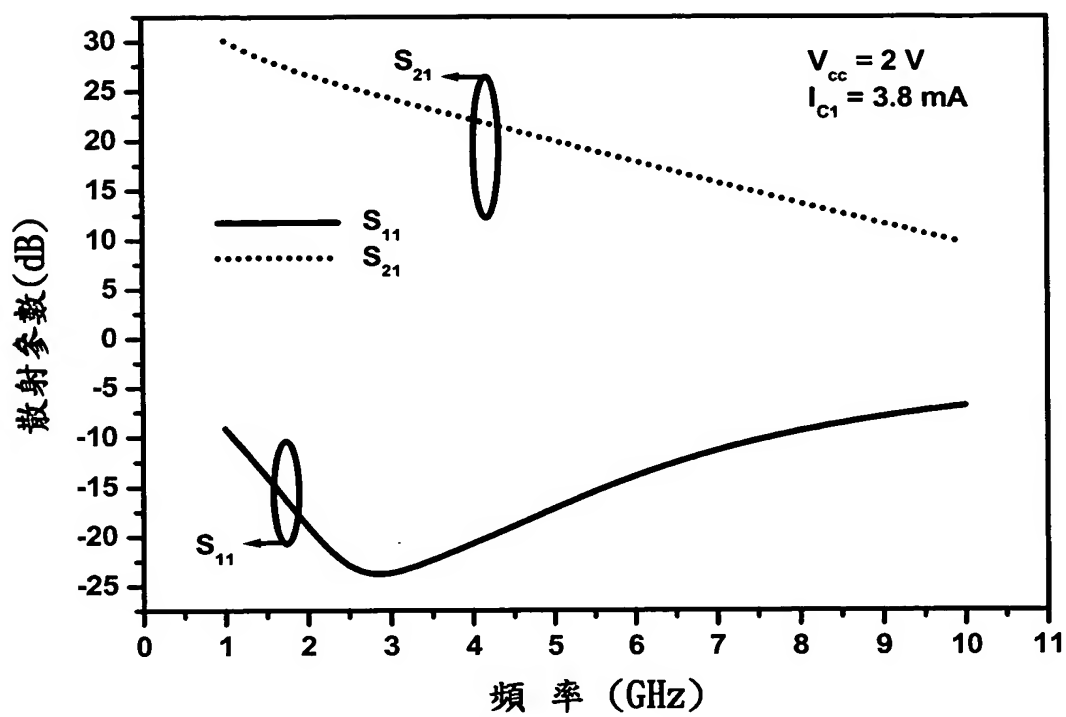
第四圖



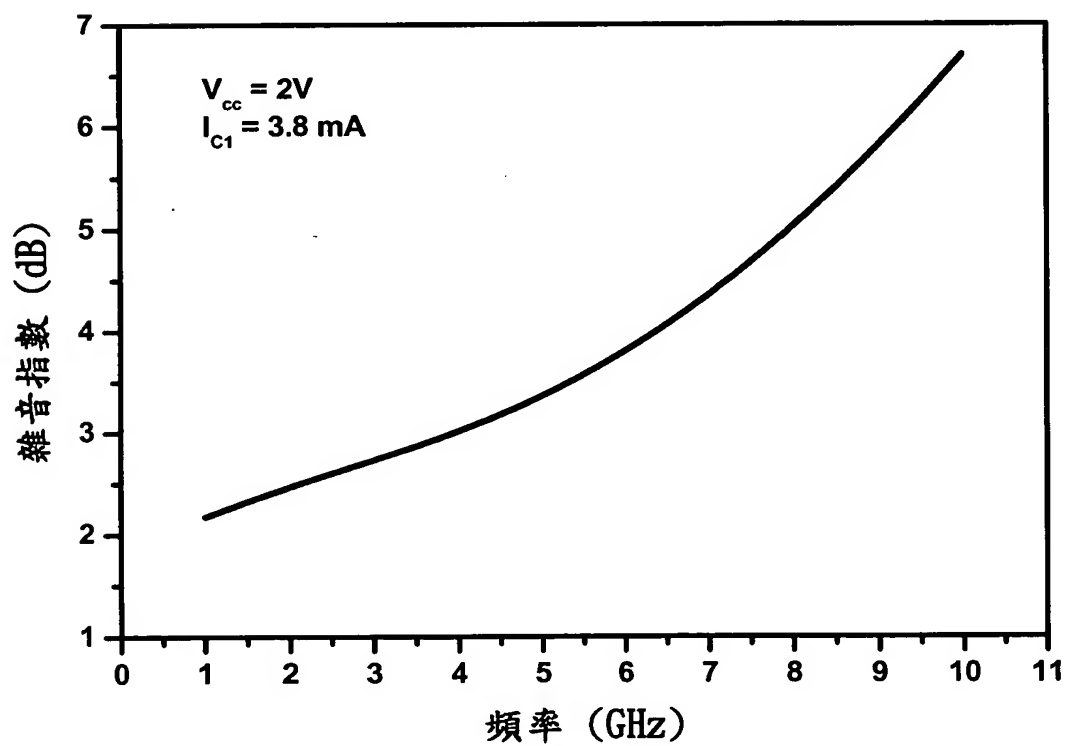
第五圖



第六圖



第七圖



第八圖